

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

10/088266

#2

PCT/JPGO/06333

日本国特許庁

04.10.00

PATENT OFFICE
JAPANESE GOVERNMENT

JP00/6333

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年 9月20日

REC'D 28 NOV 2000

出願番号

Application Number:

平成11年特許願第265904号

WIPO

PCT

出願人
Applicant(s):三洋電機株式会社
鳥取三洋電機株式会社

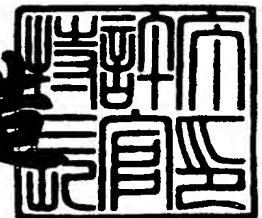
EKU

PRIORITY
DOCUMENTSUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年11月10日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3092488

【書類名】 特許願
 【整理番号】 BA99-0015
 【提出日】 平成11年 9月20日
 【あて先】 特許庁長官殿
 【国際特許分類】 B41J 2/44
 【発明者】

【住所又は居所】 鳥取県鳥取市南吉方3丁目201番地 鳥取三洋電機株式会社内

【氏名】 尾前 充弘

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 近藤 定男

【特許出願人】

【識別番号】 000214892

【氏名又は名称】 鳥取三洋電機株式会社

【代表者】 秋山 欣司

【代理人】

【識別番号】 100109368

【弁理士】

【氏名又は名称】 稲村 悦男

【連絡先】 03-3837-7751 法務・知的財産部 東京事務所

【選任した代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【包括委任状番号】 9904463

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光プリントヘッド

【特許請求の範囲】

【請求項 1】 n 個の個別電極と p 個の共通電極とこれらによって選択される複数 ($n \times p$) の発光部とを備える発光素子と、前記個別電極並びに共通電極に接続される n 個の素子駆動用出力端子並びに m 個の群選択用端子を備えた駆動用の IC とを備え、前記発光素子は、1 つの前記駆動用 IC に対して複数 (q) 設けられ、その数 (q) は、発光素子の共通電極の数 (p) と前記駆動用 IC の群選択用端子の数 (m) で定められることを特徴とする光プリントヘッド。

【請求項 2】 n 個の個別電極と p 個の共通電極とこれらによって選択される複数 ($n \times p$) の発光部とを備える発光素子と、前記個別電極並びに共通電極に接続される n 個の素子駆動用出力端子並びに m 個の群選択用端子を備えた駆動用の IC を備え、1 つの前記駆動用 IC とこれに接続した複数 (q) の前記発光素子を 1 つの単位とするブロックを基板上に複数配置したことを特徴とする光プリントヘッド。

【請求項 3】 前記発光素子は、個別電極と共通電極を発光部の両側に区分けして配置していることを特徴とする請求項 1 あるいは 2 記載の光プリントヘッド。

【請求項 4】 前記駆動用 IC は、少なくとも $n \times p \times q$ 個の印字用データを記憶する回路を備えていることを特徴とする請求項 1 あるいは 2 記載の光プリントヘッド。

【請求項 5】 前記駆動用 IC は印字用データを隣接駆動用 IC 間で授受するように一部の端子がカスケード接続されていることを特徴とする請求項 2 記載の光プリントヘッド。

【請求項 6】 基板と、この基板の長手方向に沿って配列した複数の発光素子と、前記基板の上に配置した前記発光素子数よりも少数の駆動用 IC と、前記駆動用 IC とそれに対応した所定数の発光素子間を共通接続する第 1 の配線と、前記駆動用 IC とそれに対応した所定数の発光素子間を個別接続する第 2 の配線とを備えたことを特徴とする光プリントヘッド。

【請求項 7】前記発光素子数よりも少数の駆動用 IC は、同一構造の駆動用 IC を複数配置したものであることを特徴とする請求項 6 記載の光プリントヘッド。

【請求項 8】前記発光素子は、発光部が複数（n 個）単位に複数（p 回）に分けて時分割駆動される発光素子であることを特徴とする請求項 6 記載の光プリントヘッド。

【請求項 9】前記駆動用 IC は、所定数（q）の発光素子の全ての発光部を複数（n 個）単位に複数（m）回に分けて時分割駆動する IC であることを特徴とする請求項 6 記載の光プリントヘッド。

【請求項 10】前記第 1 の配線と第 2 の配線の前記発光素子の配列長と同程度の長さを有する配線は、前記発光素子の配列の両側に第 1 の配線と第 2 の配線とで区分けして配置していることを特徴とする請求項 6 記載の光プリントヘッド。

【請求項 11】基板と、この基板の長手方向に沿って配列した複数の発光素子と、前記基板の上に配置した前記発光素子数よりも少数の駆動用 IC と、前記駆動用 IC とそれに対応した所定数の発光素子間を接続する第 1 の配線と第 2 の配線を備え、第 1 の配線と第 2 の配線を前記発光素子の列の両側に区分けして配置するとともに、この区分けした配線の内の総幅の狭いの方の配線と同じ側に前記駆動用 IC を配置したことを特徴とする光プリントヘッド。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、静電写真用プリンタ等の記録ヘッドに用いられる光プリントヘッドに係わり、特に、素子内で時分割駆動を行うことができるように構成された発光素子を駆動するための駆動用 IC を用いた光プリントヘッドに関する。

【0002】

【従来の技術】

従来の光プリントヘッドにおいて用いられる発光素子（アレイ）は、実公平 6-48887 号公報に示すように、複数の発光部に 1 対 1 で対応させて個別電極を素子表面側に設け、各発光部に共通の電極を素子裏側に設けて構成しているの

で、1つの素子内で時分割駆動することができなかった。時分割駆動することができないので、個別電極を発光部と同数設ける必要があり、発光部の高密度化が進むと、それに対応して個別電極も高密度配置になる結果、駆動用 I C との接続が困難になるという問題があった。

【0 0 0 3】

このような問題を解決するために、特開平 6 - 1 6 3 9 8 0 号公報においては、素子内での時分割駆動が可能な発光素子が提案されている。すなわち、発光素子上の複数の発光部を 2 ~ 3 の群 p に分け、群毎の発光部に接続するように複数本の共通電極を設け、異なる群に属する p 個の発光部に接続した個別電極を n 個設けることによって $p \times n$ 個の発光部を備える発光素子が提案されている。この発光素子によれば、 p 本の共通電極を時分割的に選択することによって個別電極の数を従来の $1/p$ に削減することができるので、駆動用 I C との接続を容易にすることができる。

【0 0 0 4】

このような発光素子を従来と同様の駆動用 I C を用いて時分割駆動することも可能であるが、この場合、共通電極を時分割的に選択するための駆動回路を別途必要とするので、時分割駆動に適した汎用性のある駆動用 I C の開発が望まれている。

【0 0 0 5】

そこで本願出願人は、上記の点を考慮した駆動用 I C について、特開平 1 0 - 2 2 6 1 0 2 号公報にて提案しているが、この公報に示された構成は、時分割駆動のためにデータの入力順序を変更する処理を必要とするので、データ処理が複雑化するという問題が有った。また、発光素子と同数の駆動用 I C を必要とするので、駆動用 I C の数が増加するという問題も有している。

【0 0 0 6】

【発明が解決しようとする課題】

そこで本発明は、上記のような素子内時分割駆動に対応した発光素子とそれを駆動するに適した汎用性のある駆動用 I C を備える新規な光プリントヘッドを提供することを課題の 1 つとする。また、光プリントヘッドの部品点数や組立て

工数の削減を図ることを課題の1つとする。そしてまた、高解像度の光プリントヘッドを提供することを課題の1つとする。そしてまた、駆動用 I C を解像度の相違する光プリントに転用して部品の共通化を図ることを課題の1つとする。

【0007】

【課題を解決するための手段】

本発明の光プリントヘッドは請求項1に記載のように、 n 個の個別電極と p 個の共通電極とこれらによって選択される複数 ($n \times p$) の発光部とを備える発光素子と、前記個別電極並びに共通電極に接続される n 個の素子駆動用出力端子並びに m 個の群選択用端子を備えた駆動用の I C とを備え、前記発光素子は、1つの前記駆動用 I C に対して複数 (q) 設けられ、その数 (q) は、発光素子の共通電極の数 (p) と前記駆動用 I C の群選択用端子の数 (m) で定められることを特徴とする。

【0008】

本発明の光プリントヘッドは請求項2に記載のように、 n 個の個別電極と p 個の共通電極とこれらによって選択される複数 ($n \times p$) の発光部とを備える発光素子と、前記個別電極並びに共通電極に接続される n 個の素子駆動用出力端子並びに m 個の群選択用端子を備えた駆動用の I C を備え、1つの前記駆動用 I C とこれに接続した複数 (q) の前記発光素子を1つの単位とするブロックを基板上に複数配置したことを特徴とする。

【0009】

本発明の光プリントヘッドは請求項3に記載のように、前記発光素子は、個別電極と共通電極を発光部の両側に区分けして配置していることを特徴とする。

【0010】

本発明の光プリントヘッドは請求項4に記載のように、前記駆動用 I C は、少なくとも $n \times p \times q$ 個の印字用データを記憶する回路を備えていることを特徴とする。

【0011】

本発明の光プリントヘッドは請求項5に記載のように、前記駆動用 I C は印字用データを隣接駆動用 I C 間で授受するように一部の端子がカスケード接続され

ていることを特徴とする。

【0012】

本発明の光プリントヘッドは請求項6に記載のように、基板と、この基板の長手方向に沿って配列した複数の発光素子と、前記基板の上に配置した前記発光素子数よりも少数の駆動用ICと、前記駆動用ICとそれに対応した所定数の発光素子間を共通接続する第1の配線と、前記駆動用ICとそれに対応した所定数の発光素子間を個別接続する第2の配線とを備えたことを特徴とする。

【0013】

本発明の光プリントヘッドは請求項7に記載のように、前記発光素子数よりも少数の駆動用ICは、同一構造の駆動用ICを複数配置したものであることを特徴とする。

【0014】

本発明の光プリントヘッドは請求項8に記載のように、前記発光素子は、発光部が複数（n個）単位に複数（p回）に分けて時分割駆動される発光素子であることを特徴とする。

【0015】

本発明の光プリントヘッドは請求項9に記載のように、前記駆動用ICは、所定数（q）の発光素子の全ての発光部を複数（n個）単位に複数（m）回に分けて時分割駆動するICであることを特徴とする。

【0016】

本発明の光プリントヘッドは請求項10に記載のように、前記第1の配線と第2の配線の前記発光素子の配列長と同程度の長さを有する配線は、前記発光素子の配列の両側に第1の配線と第2の配線とで区分けして配置していることを特徴とする。

【0017】

本発明の光プリントヘッドは請求項11に記載のように、基板と、この基板の長手方向に沿って配列した複数の発光素子と、前記基板の上に配置した前記発光素子数よりも少数の駆動用ICと、前記駆動用ICとそれに対応した所定数の発光素子間を接続する第1の配線と第2の配線を備え、第1の配線と第2の配線を

前記発光素子の列の両側に区分けして配置するとともに、この区分けした配線の内の総幅の狭いの方の配線と同じ側に前記駆動用 IC を配置したことを特徴とする。

【 0 0 1 8 】

【発明の実施の形態】

以下本発明の実施例を図面を参照して説明する。図 1 は、駆動用 IC の回路ブロック図を示し、図 2 は、図 1 に示す回路ブロック図のうち、複数ある出力端子 DO 1 ~ DO 4 8 の 1 つの出力端子 DO 1 に関係する部分を中心に抽出した要部回路ブロック図である。まず、これらの図を中心に説明する。

【 0 0 1 9 】

駆動用 IC 1 は、図 1 に示すように、素子駆動用（後述する個別電極 2 8 用）の複数個（ n ）の出力端子 DO で構成された個別端子部と、各出力端子 DO と接続され、これらに対して駆動信号としての所定の電流出力を与える第 1 駆動部 2 と、群選択用（後述する共通電極 2 7 用）の複数（ m ）個の出力端子 CD で構成された共通端子部と、各出力端子 CD と接続され、これらを選択的に一方の電源電位、例えば接地電位 VSS に切り替える第 2 駆動部 3 を備えている。以下、 $n = 48$ 、 $m = 40$ の場合を例にとって説明するが、本発明はこれに限定されるものではない。

【 0 0 2 0 】

第 1 駆動部 2 は、データ入力端子 SI から順次与えられるシリアル入力データ信号を一時的に記憶するデータ信号記憶回路 4 と、このデータ信号記憶回路 4 から出力されたデータ信号に基づき上記各出力端子 DO 1 ~ DO 4 8 に駆動信号を出力する駆動回路 5 と、この駆動回路 5 に定電流を供給する電流供給回路 6 と、この第 1 駆動部 2 並びに第 2 駆動部 3 の各部に所定のタイミング信号を供給するタイミング制御回路 7 とを備えている。

【 0 0 2 1 】

データ信号記憶回路 4 は、データ入力端子 SI からシリアルに入力されるデータ信号をクロック信号 CLK 1 に同期して取り込み、データ出力端子 SO からシリアル出力する $n \times m$ （1920）ビット構成のシフトレジスタ 8 と、このシフ

トレジスタ 8 に取り込まれたデータ信号を、ロード信号 LOAD 1 に基づいて並列に取り込む $n \times m$ (1920) ビット構成のラッチ回路 9 とを備えている。シフトレジスタ 8 から並列に出力される $n \times m$ (1920) 個のデータ信号はラッチ回路 9 を介さないで記憶回路 10 に供給することもできるようにしている。

【0022】

尚、データ信号を複数ビットで構成する場合などにおいては、それに応じてシフトレジスタ 8 やラッチ回路 9 等の構成を変更することもでき、例えば、シフトレジスタ 8 をアドレス指定方式のメモリで構成することもできる。

【0023】

駆動回路 5 は、ラッチ回路 9 が出力する $n \times m$ 個のデータ信号から、 n 個単位にデータ信号を順次選択して出力する第 1 の選択回路 11 A と、この第 1 の選択回路 11 A の出力に基づいて前記出力端子 DO 1 ~ DO 48 を介して一定の電流を出力する n (48) ビット構成の第 1 のドライブ回路 12 A を基本的な構成として備えている。駆動回路 5 は、この基本構成に加えて、必要に応じて、出力電流（光量）を補正に対応するための補正データを $n \times m$ 個記憶するための補正データ記憶回路 10 と、この補正データ記憶回路 10 から出力される $n \times m$ 個の補正データ信号から、 n 個単位に補正データ信号を順次選択して出力する補正データ用の第 2 の選択回路 11 B と、この補正データ用の選択回路 11 B の出力に基づいて増加減した電流値の出力を前記出力端子 DO 1 ~ DO 48 を介して駆動信号として出力する n (48) ビット構成の補正用の第 2 のドライブ回路 12 B を備えることができる。

【0024】

記憶回路 10 は、 S ビット（例えば 3 ビット構成）で構成される補正データを $n \times m$ 個記憶することができるように、例えば $S \times n \times m$ ビット構成のラッチ回路で構成することができる。そして、各補正データ記憶回路 10 に対する補正データの書き込みは、シフトレジスタ 8 から並列に供給される $n \times m$ 個単位の信号に基づいて行われるようになっている。

【0025】

補正データ記憶回路 10 の書き込みは、前もって行うことができる。すなわち

、記憶回路 1 0 のみを書き込み状態としてシフトレジスタ 8 を介して補正データの各ビットを記憶する作業を S 回（3 回）繰り返すことによって行うことができる。

【0 0 2 6】

ドライブ回路 1 2 は、図 2 に示すように、1 つの出力端子 D O に対してそれぞれ電流出力が異なる複数（この例では 4 つ）の電流増幅器 1 2 a ~ 1 2 d を 1 組として、それを出力端子 D O と同数備えて構成されている。電流供給回路 6 から電流が供給される 4 つ電流増幅器 1 2 a ~ 1 2 d は、個々にその作動状態を制御することによって、合計出力電流を 4 m A をベースとして 3 ~ 5 m A 程度の範囲で変更できるようにしている。

【0 0 2 7】

選択回路 1 1 は、時分割駆動を行うために前記ラッチ回路 9 や補正データ記憶回路 1 0 に記憶された $n \times m$ 個分のデータや補正データを、 n 個単位に選択して m 回取り出すための回路で、複数の論理ゲート回路によって構成されている。この選択回路 1 1 は、タイミング制御回路 7 の一部を構成する分割タイミング信号発生回路 1 4 によってゲートの開閉が制御される。

【0 0 2 8】

この分割タイミング信号発生回路 1 4 は、図 3 に波形を示すように、時分割のタイミングを規定するように外部から少数（この例では 1 本）の信号線を介して供給される制御信号 D I V S E L に基づいて、 m 種類の分割タイミング信号 D I V 1 ~ D I V 4 0 を生成するための回路で、例えばカウンタによって構成することができる。分割タイミング信号発生回路 1 4 は、カウンタ以外にも、所定ビットの 2 進数からなる制御信号 D I V S E L に基づいて m 種類の分割タイミング信号 D I V 1 ~ D I V 4 0 を生成するデコーダ等によって構成することもできる。このように、分割タイミング信号発生回路 1 4 は 1 つあるいは少数の制御信号 D I V S E L に基づいて m （4 0 種類）の分割タイミング信号（D I V 1 ~ D I V 4 0）を生成する。すなわち、分割タイミング信号の数よりも少数の信号線を用いて制御信号 D I V S E L を供給するので、外部と接続する制御信号の端子の数を削減して I C の小型化を図ることができるとともに、ワイヤボンド配線などの

外部配線数を削減することができる。

【0029】

尚、分割タイミング信号発生回路14は、1ライン分のデータ信号の入力に同期してリセットすることができ、リセット信号RESETを利用してのリセットの他にも、前記ロード信号LOAD1を利用してリセットを行なうこともできる。

【0030】

次に、図2を参照して1つの出力端子DO1を中心にデータの流れについて説明する。ラッチ回路9に記憶された1つのIC分のデータ（1920個のオン/オフデータ）は、分割タイミング信号DIV1～DIV40が順次Hレベルに切り替わることによって、その分割タイミング信号DIV1～DIV40と接続されたアンドゲート回路のみが開く結果、その間に選択的に出力される。また、補正データ記憶回路10に記憶された3ビット構成の補正データも同様に、分割タイミング信号DIV1～DIV40が順次Hレベルに切り替わることによって3個一組のアンドゲート回路が開く結果、その間に選択的に出力される。補正データ記憶回路10の出力は、ドライブ回路12に供給され、3つの電流増幅器12b～12dを選択的に動作させる。

【0031】

次に、第2駆動部3について説明する。第2駆動部3は、出力端子CD1～CD40の1つを選択的に接地電位VSSに切り替えるための回路で、前記分割タイミング信号DIV1～DIV40によって切り替える構成としているが、前記分割タイミング信号DIV1～DIV40に同期した他の信号を用いて切り変える構成とすることもできる。

【0032】

駆動用ICは、図5に示すように、端子DO1～DO48を一辺に配列し、端子CD1～CD40を対向する2辺に半分ずつに区分けして配列し、データ用、クロック用、電源用等の残りの端子を残りの辺に配置することにより、類似の機能を持つ端子同士を1つの辺に集めている。端子DO1～DO48は、150DPI（DOT/INCH）前後の密度で配置している。この配置密度は、後述す

る基板 2 1 に形成する微細配線パターンの限界密度に基づいて設定されている。すなわち、基板 2 1 に形成する第 1、第 2 の配線 2 3 - 1, 2 3 - 2 の配線パターン密度が 1 5 0 D P I 程度に設定されているので、この値とほぼ同じ密度に設定している。

【 0 0 3 3 】

図 4 は、上記の駆動用 I C 1 を備えて構成した光プリントヘッド 2 0 の一例を示す概略的な要部平面図である。この光プリントヘッド 2 0 は、絶縁性基板 2 1 の上に複数（この例では $L = 20$ 個）の発光素子 2 2 を一列に配列し、この発光素子 2 2 の片側に、発光素子 2 2 の数よりも少数の駆動用 I C 1 を一列に配列している。駆動用 I C 1 は、所定数 q （この例では 5 個）の発光素子 2 2 に 1 つの割合で配置し、これら駆動用 I C 1 とそれに対応した q 個の発光素子 2 2 が 1 つのブロック（b）をつくる。そして、このブロックが基板 2 1 の長手方向に沿って複数（この例では $b = 4$ ）ブロック配列されて光プリントヘッド 2 0 を構成する。

【 0 0 3 4 】

発光素子 2 2 と駆動用 I C 1 間には、両者を接続するための配線 2 3 が施される。配線 2 3 は、駆動用 I C 1 の出力端子 D O 1 ~ D O 4 8 に一端を接続し、他端を同一ブロック内の各発光素子 2 2 の個別電極に共通接続するマルチプレクス用の第 1 の配線 2 3 - 1 と、駆動用 I C 1 の群選択用の出力端子 C D 1 ~ C D 4 0 に一端を接続し、他端を同一ブロック内の各発光素子 2 2 の共通電極に選択的に接続する第 2 の配線 2 3 - 2 によって構成している。第 1 の配線 2 3 - 1 は、基板 2 1 に多層配線したマルチプレクス用の配線パターンと、このパターンと駆動用 I C 1 間並びに発光素子 2 2 間を接続するワイヤボンド線とで構成している。第 2 の配線 2 3 - 2 も、基板 2 1 に多層配線した配線パターンと、このパターンと駆動用 I C 1 間並びに発光素子 2 2 間を接続するワイヤボンド線とで構成している。第 1 の配線 2 3 - 1 及び第 2 の配線 2 3 - 2 の配線パターンの発光素子 2 2 の配列長と同じ程度の長さを持つ配線は、発光素子 2 2 の列の両側に区分けして別々に配置している。このようにすることにより、後述する複数個の発光素子 2 2 とのワイヤボンド配線を行ない易くすることができる。

【0035】

発光素子 22 の列の両側に区分けして別々に基板 21 に配置した配線 23 のパターンは、第 1 の配線 23-1 よりも第 2 の配線 23-2 の方が配線数は少ないが、1 本当たりのパターン幅とその間隔が第 2 の配線 23-2 の方が広いので、第 2 の配線 23-2 側のパターンの総幅が第 1 の配線 23-1 側よりも広がっている。このように、駆動用 IC1 と発光素子 22 間を接続するとともに、発光素子 22 の両側に区分けして配置された配線 23-1, 23-2 のパターンについて、総幅の広い方を一方の側に、狭い方を駆動用 IC1 と共に他方に配置しているので、発光素子 22 を基板 21 の幅方向の中央寄りに配置することができる。発光素子 22 の列を基板 21 の幅方向の中央寄りに配置することにより、発光素子 22 の配列直線性（特に、基板 21 に硝子エポキシ製のものを用いた場合）を高めることができるなど、光学的特性を向上させることができる。

【0036】

基板 21 は、硝子エポキシ製の基板の他に、セラミック製、絶縁金属製の基板等を用いることができるが、この例では、多層配線化、長尺化が容易で、しかも低価格な硝子エポキシ製の基板を用いている。硝子エポキシ製、セラミック製、金属製の何れの基板を用いても、現状では同一面上に 150 D P I 程度の微細配線を形成するのが限界である。尚、配線 23 としては、基板 21 の多層配線と金線等のワイヤボンド線との組み合わせの他に、高密度のフレキシブル配線を異方性導電接着剤を用いて接続する構造等を用いることもできる。

【0037】

基板 21 の上には、前記配線 23 とは別に、信号用、電力供給用の複数本の配線パターン 24 を発光素子 22 の配列方向に沿って延びるように形成している。この配線の中には、隣接する駆動用 IC1 の端子間でデータ信号等の授受を行なうためのカスケード接続用配線を備えている。また、駆動用 IC1 と配線パターン 24 の間には、金線で構成したワイヤボンド配線 25 を設けている。

【0038】

発光素子 22 は、その上面に複数 ($p \times n = 384$) 個の発光部 26 を、その長手方向に沿って 1200 D P I 程度の配列密度で配列している。そして、この

複数の発光部 26 は、時分割駆動できるようにそれぞれが独立して形成されており、 n 個の発光部 26 からなる群を単位に駆動できるように、複数 (p) の群に区分けしている。この例では、発光部 26 の 1, 9, 17 番目を第 1 の群、2, 10, 18 番目を第 2 の群というように、発光部 26 の配置順序を示す番号を分割数 p (8) で割った場合の余りの数に基づいて 8 つの群に区分けした場合を例示している。

【0039】

そして、発光素子 22 は、図 6 に示すように、第 1 の群に属する発光部 26 に共通配線した共通電極 27-1 と、第 2 の群に属する発光部 26 に共通配線した共通電極 27-2、…、並びに共通電極 27-8 の 8 個の共通電極 27 を設けるとともに、隣接する 8 つの発光部 26 に接続した n (48) 個の個別電極 28 を設けている。共通電極 27 は、基板 21 の最高配線密度 (150 D P I) よりも低密度である 25 D P I 程度の密度で配列しているが、個別電極 28 は、基板 21 の最高配線密度 (150 D P I) と同じ程度の配置密度を保つように、150 D P I 程度の密度で配列している。共通電極 27 と個別電極 28 は、発光素子 22 の表面に形成する多層配線の層数を削減するために、発光部 26 の両側に区分けし、発光素子 22 の長手方向に沿って配列している。

【0040】

この発光素子 22 は、 p (8) 個の共通電極 27 と n (48) 個の個別電極 28 に各々接続したマトリックス状配線の交点部分に L E D からなる発光部 26 が位置する構造となっている。よって、 n 個の個別電極 28 にデータ信号を与え、共通電極 27 の 1 つを選択することにより、 n 個の発光部 26 を同時に駆動することができ、これを p 回繰り返すことにより、1 つの発光素子 22 の駆動を行なうことができる。

【0041】

個別電極 28 は、第 1 配線 23-1 を介して、それぞれ駆動用 I C 1 の出力端子 D O 1 ~ D O 48 に接続され、共通電極 27 は、出力端子 C D 1 ~ C D 40 の内、8 個の端子に選択的に接続される。

【0042】

図 7 に示すように、1 つのブロックを構成する 1 つの駆動用 IC と、それに対応する q 個（この例では 5 個）の発光素子 2 2 は、駆動用 IC 1 の出力端子 DO 1 ~ DO 4 8 が q 個の発光素子 2 2 の個別電極 2 8 に共通に接続されるように第 1 配線 2 3 - 1 を介して接続されている。駆動用 IC 1 の出力端子 CD 1 ~ CD 4 0 は、 q （5 個）の発光素子 2 2 の各共通電極 2 7 に第 2 の配線 2 3 - 2 を介して個別に接続されている。

【 0 0 4 3 】

そして、駆動用 IC 1 の群選択用端子 CD 1 ~ 4 0 の 1 つを選択し、端子 DO 1 ~ DO 4 8 に所定の信号を与えれば、 q 個の発光素子 2 2 の 1 つが選択され、その素子の発光部 2 6 を 8 分の 1 ずつ時分割で発光させることができる。したがって、これらを 4 0 回繰り返して全ての群選択用端子を選択することにより、1 つのブロックの全ての発光部 2 6 を選択的に発光させることができる。

【 0 0 4 4 】

尚、1 つのブロック内の発光素子 2 2 は q 個（5 個）で、これが 4 ブロックあるので、ヘッド 2 0 全体の発光部 2 6 の数は、 $b \times q \times p \times n = 4 \times 5 \times 8 \times 48 = 7680$ 個となる。

【 0 0 4 5 】

次に、上記駆動用 IC 1 の動作を含めた上記光プリントヘッド 2 0 の動作について、図 1、図 2 と図 3 を中心に説明する。

【 0 0 4 6 】

尚、記憶回路 1 0 に記憶すべき補正データは、発光素子 2 2 の各発光部 2 6 の光量を均一にするために、予め求めた光量補正データが用いられ、これらのデータは、既に記憶回路 1 0 に記憶されているものとする。

【 0 0 4 7 】

まず初めにリセット信号 RESET が供給され、これによって各部が初期状態に設定される。続いて、設定信号 SET が L レベルから H レベルに切り替えられる。その結果、記憶回路 1 0 への書き込みが禁止された状態となる。

【 0 0 4 8 】

端に位置する駆動用 IC 1 のデータ入力端子 S 1 に 1 ライン分のデータ信号（

7680個)が順次与えられ、これがクロック信号CLK1に同期して順次駆動用IC1のシフトレジスタ8に取り込まれる。所定数のデータ取り込みが終わると、データ出力端子SOを介して、カスケード接続された隣のICのシフトレジスタ8にデータ信号が順次与えられる。

【0049】

1ライン分のデータ信号の取り込みが終わり、全ての駆動用ICのシフトレジスタ8にデータが蓄えられると、次に、ロード信号LOAD1が、所定時間Hレベルに保持され、各IC1のシフトレジスタ8に保持された $n \times m$ 個のデータ信号の入力が行われる。この時、ロード信号LOAD1の立ち下がり時点でラッチ回路9が選択(ラッチ)されるので、シフトレジスタ8に取り込まれた $n \times m$ 個のデータ信号がラッチ回路9に入力されて記憶される。

【0050】

ロード信号LOAD1がHレベルからLレベルに切り替わった直後に、外部から供給される分割タイミング用の信号DIVSELに基づいて、分割タイミング信号発生回路14が分割タイミングDIV1~DIV40を選択的にLレベルからHレベルに切り替える。このタイミング期間内に、ストロブ信号(反転STB)がHレベルから所定期間Lレベルに保持される。

【0051】

この分割タイミングDIV1~40の切り替わりによって、選択回路11がラッチ回路9や記憶回路10から選択して出力するデータ信号の位置が順次切り替わる。例えば分割タイミング信号DIV1によって、1番目、9番目、…のデータが選択され、分割タイミング信号DIV2によって、2番目、10番目、…のデータが選択される。

【0052】

これらのデータ(必要に応じて3ビットの補正データが付加される)がドライブ回路12に与えられる。ドライブ回路12は、データ信号やそれに付加された補正データに基づいて、4つの電流増幅器12a~12dを選択的に作動させてその出力電流を出力端子DOを介して発光素子22の各個別電極28に供給する。

【 0 0 5 3 】

全ての発光素子 2 2 の個別電極 2 8 にデータ信号や補正データに応じた電流が供給可能な状態となるが、群選択端子によって選択された n 個の発光部 2 6 のみが共通電極 2 7 を介して接地されているので、この例では各ブロックで 1 つの発光素子 2 2 が選択され、その内の 8 個置きの発光部 2 6 のみが選択的に発光する。

【 0 0 5 4 】

上記のような、同一ブロックに属する 1 つの発光素子 2 2 を所定回数に分けて分割駆動し、それを発光素子 2 2 の数だけ繰り返す時分割駆動 ($p \times q = m$ 分割) によって 1 つのブロック内での選択的な発光を行い、これを複数のブロックで同時に行なうことにより、1 ラインの発光を行うことができる。これを順次繰り返すことによって、静電写真型プリンター画面分の露光を行なうことができる。

【 0 0 5 5 】

上記のように、素子内時分割駆動に対応した発光素子 2 2 を駆動するための各駆動用 IC 1 が、群を単位とするタイミングに同期して動作する第 2 駆動部 3 を内蔵し、この駆動用 IC 1 によって対応した発光素子 2 2 の時分割駆動を行う構成としているので、負荷の分散を図ることができる。その結果、従来のダイナミック駆動方式のように時分割駆動用 (共通電極選択用) の専用 IC を用いて全ての発光素子を対象とした時分割駆動を行う場合に比べて、時分割駆動用の回路に加わる負荷を低減することができる。

【 0 0 5 6 】

そして、駆動用 IC 1 は、複数の発光素子 2 2 を時分割駆動するので、発光素子 2 2 と時分割用駆動用 IC を 1 対 1 の割合で配置する場合に比べて、内部回路数を削減することができる。特に、IC の中で半数以上の面積を占有するドライブ回路について、発光素子と時分割駆動用 IC を 1 対 1 の割合で配置する場合は $q \times n$ 必要であるが、上記構成では n 個に削減することができ、 q (5) 分の 1 の削減率を達成することができた。また、発光素子とスタティック駆動用 IC を 1 対 1 の割合で配置する場合は $p \times q \times n$ のドライブ回路が必要であるが、上記構成では n 個に削減することができ、 $p \times q$ (40) 分の 1 の大幅削減率を達成

することができた。そして、駆動用 IC1 を従来のスタティック方式用の IC と同等の形状で構成することができるので、全体的な回路構成の小型化を達成することもできる。

【0057】

また、時分割駆動を行う構成でありながら、スタティック方式と同じようにデータを順次入力することができるので、従来の時分割駆動に必要とされたデータの並び替えのための回路が不要となる。また、時分割数を増加させても、その分割数よりも少数の制御信号の供給線を利用して時分割用のタイミング DIV1 ~ DIV40 を発生させるようにしているので、IC の端子数や組立て作業数の削減を図ることができる。

【0058】

また、駆動用 IC1 は、時分割駆動に対応していながら、同じブロック内の発光素子全ての補正用データを記憶し、それを選択して出力することができるので、補正用データを用いた時分割駆動を行う場合に、記憶した補正データに基づくデータ信号の補正を容易に行うことができる。

【0059】

尚、発光素子 22 として、発光部 26 を 1 列に配列したもののほかに、千鳥配置したものや、2 列以上の複数列配置したものを用いることもできる。

【0060】

また、本発明は、上記のように 1 つの駆動用 IC とそれに接続した複数の発光素子を 1 つのブロックとし、このブロックを発光素子の配列方向と同方向に複数配置した光プリントヘッドに好適であるが、これ以外にも適用可能であり、例えば、前記 1 つのブロックのみを基本構造とする光プリントヘッドやそれに類する印字装置に適用することもできる。

【0061】

また、光プリントヘッドに要求される仕様などに応じて、上記駆動用 IC に接続する発光素子の構成を変更することもできる。すなわち、発光素子 22 の個別電極数 (n) は一定に保ち、発光素子 22 内の群の数 (p) と 1 ブロック内の発光素子 22 の数 (q) を、その積が駆動用 IC1 の群選択用端子の数 (m) と同

じになるように、適宜変更することができる。例えば、分割数（ p ）を5とした発光素子を8個並べて1つのブロックを構成することができる。また、分割数（ p ）を4とした発光素子を10個並べて1つのブロックを構成することもできる。このとき、発光部の配列密度が相違する発光素子22を選択することもできるので、駆動用ICの汎用性を高めることができる。。

【0062】

また、上記駆動用ICは、時分割数（ m ）が40に設定されているが、データ入力の仕方に工夫をすることにより、光プリントヘッドに要求される印字速度等に応じて、見かけ上の時分割数（実効的な時分割数）を変更することができる。例えば、高速の印字速度が要求され、それに応じて時分割数を m よりも小さな値 k に変更する必要がある場合は、駆動用IC1に信号を供給するデータ処理回路側において、分割タイミングDIVの数を実質的に k に削減する処理を施せば良い。すなわち、分割タイミング信号発生回路14がアップカウンタ方式の場合は、分割数 k を超えると、制御信号DIVSELのクロック周波数を大きくして残りのタイミング信号DIV $k+1$ ～DIV40を極短期間に発生させるとともに、ストロブ信号（反転STB）をHレベルに保持してその短縮期間のデータ印字を禁止するようにすることができる。また、分割タイミング信号発生回路14がデコーダ方式の場合は、データ処理回路から与える複数ビットの制御信号DIVSELに所望の分割数 k に応じた変更を加えることによって、タイミング信号DIV1～DIV k のみを選択的に発生させれば良い。このようにして、駆動用IC1の時分割数（ m ）に変更を加えて実質的な時分割数（ k ）を例えば16に設定するとともに、この駆動用ICに図6に示す発光素子22を2個接続してそれを1ブロックとし、これを10ブロック配置して7680個の発光部を備える光プリントヘッドを構成すると、図3を参照して動作説明した時分割数（ m ）が40の場合に比べて、印字速度を $40/16=2.5$ 倍に速めることができる。

【0063】

印字速度を速める他の方法として、各発光部に流す電流値を大きくし発光出力を増加させる方式が知られている。しかしながら、電流値を増加させることができない場合、例えば、変更前の電流値が発光部の許容電流値に近い場合、発光部

の通電寿命を延ばすために電流値を低く設定している場合などにおいては、上記のように実質的な時分割数を少なくして印字速度を高める方式を採用することが望ましい。

【0064】

このようにすることによって、同一の駆動用 IC を用いながらも、プリントヘッドに要求される印字速度の変更に対して、実質的な分割数を変更することによる対応ができ、プリントヘッドの機能変更に対処することができる。

【0065】

【発明の効果】

以上のように本発明によれば、従来のスタティック駆動と同様のデータ処理手順を残しながらも、時分割駆動に対応した駆動を行なうことができ、スタティック駆動と互換性を保つことができる。また、時分割駆動に対応するので駆動用 IC 数の低減、ワイヤボンダ数や密度の低減を行なうことができる。また、駆動用 IC とそれに接続する発光素子の組み合わせを種々設定することができる。また、入力データの変更によって実質的な時分割数の変更による印字速度の変更も容易である。そしてまた、基板に配置した配線パターンの密度（解像度）が低くても高解像度の光プリントヘッドを提供することができる。そしてまた、光プリントヘッドの小型化、低価格化を図ることができる。

【図面の簡単な説明】

【図 1】

本発明の実施例に係る駆動用 IC の回路ブロック図である。

【図 2】

図 1 の要部を示す回路ブロック図である。

【図 3】

同実施例のタイミングチャートである。

【図 4】

本発明の実施例に係る光プリントヘッドの要部平面図である。

【図 5】

図 4 の要部を示す回路図である。

【図 6】

本発明の実施例に係る発光素子の要部を示す概略的な平面図である。

【図 7】

光プリントヘッドの要部（1 ブロック）の回路ブロック図である。

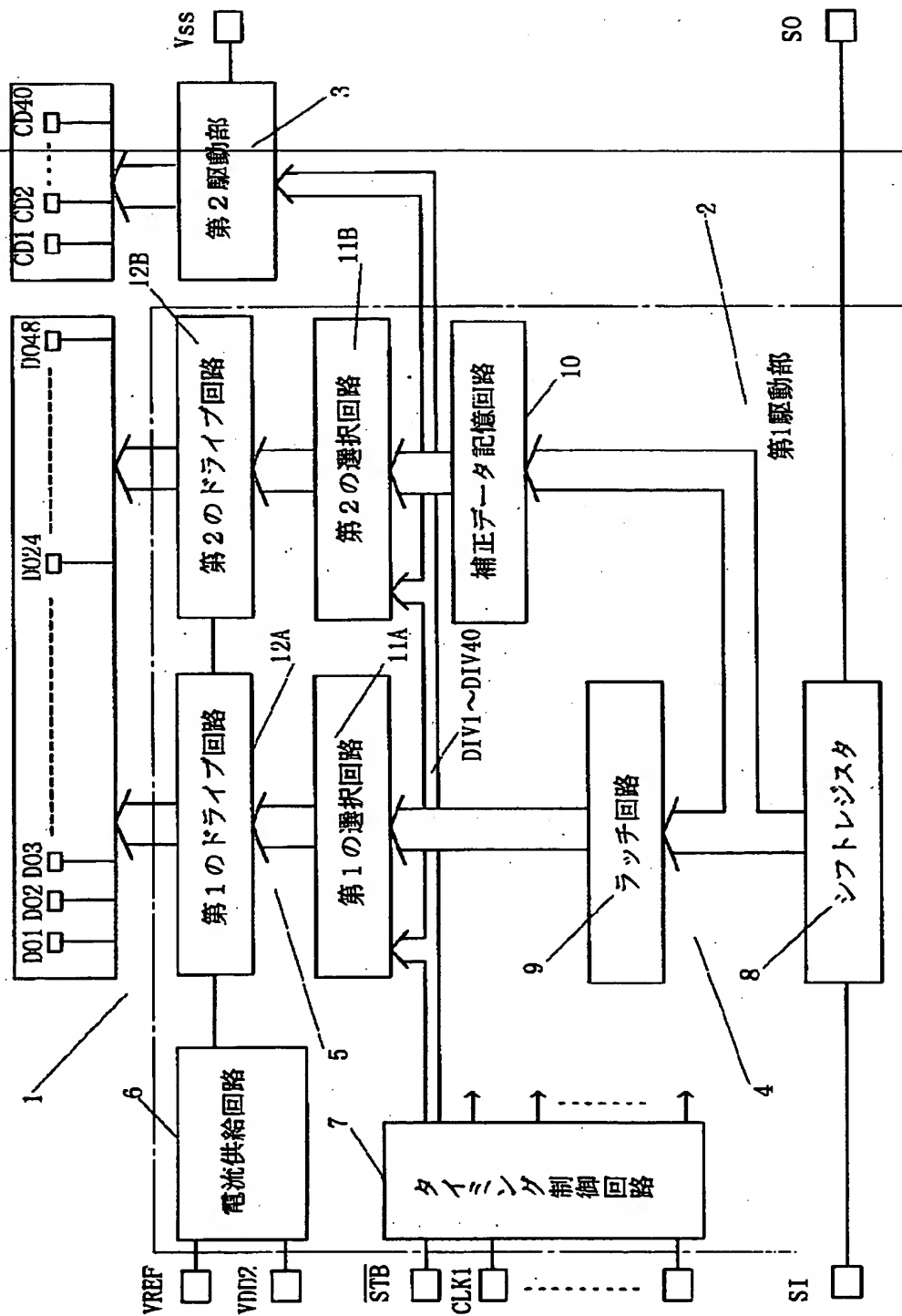
【符号の説明】

-
- 1 駆動用 I C
 - 2 0 光プリントヘッド
 - 2 1 基板
 - 2 2 発光素子
 - 2 3 配線
 - 2 6 発光部
 - 2 7 共通電極
 - 2 8 個別電極

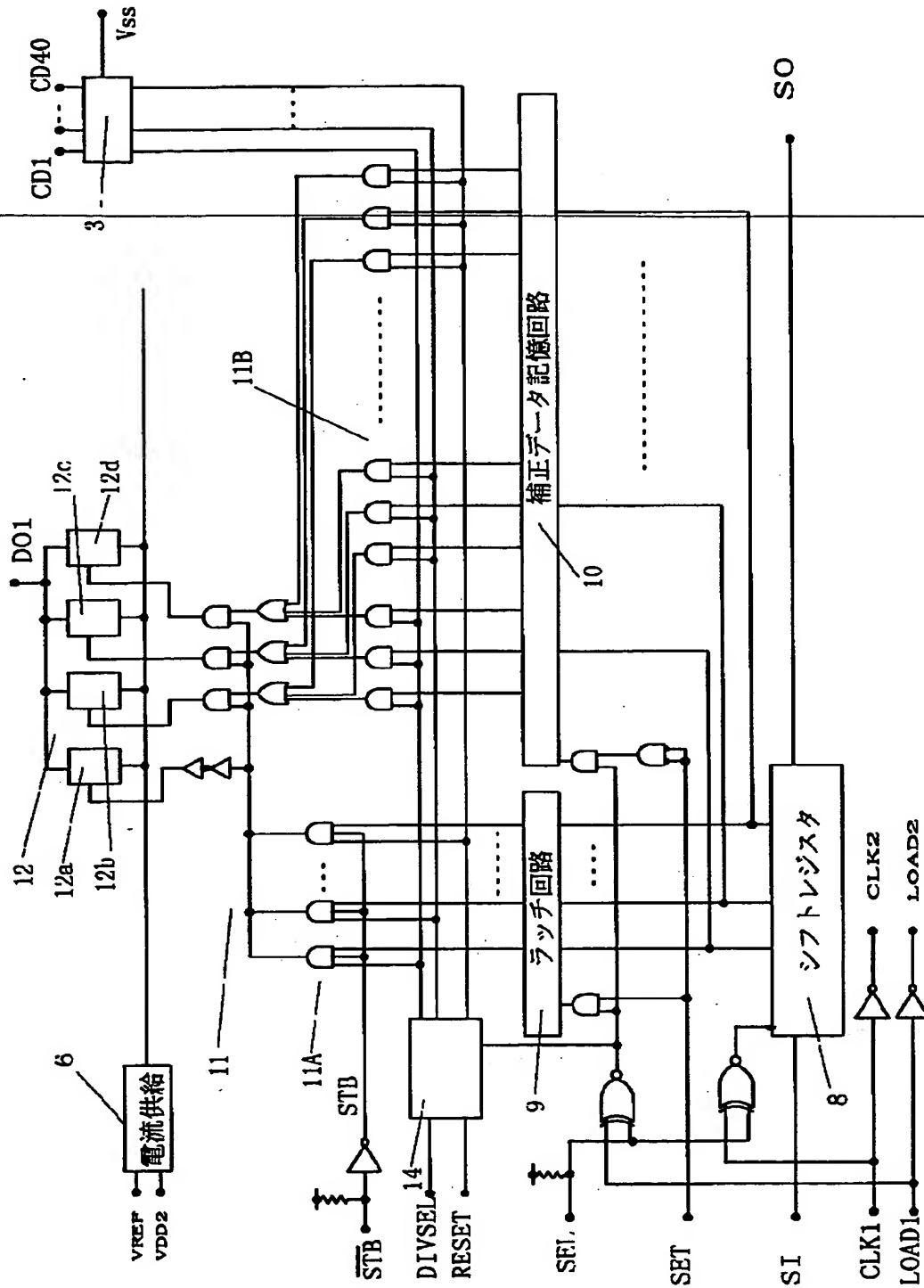
【書類名】

図面

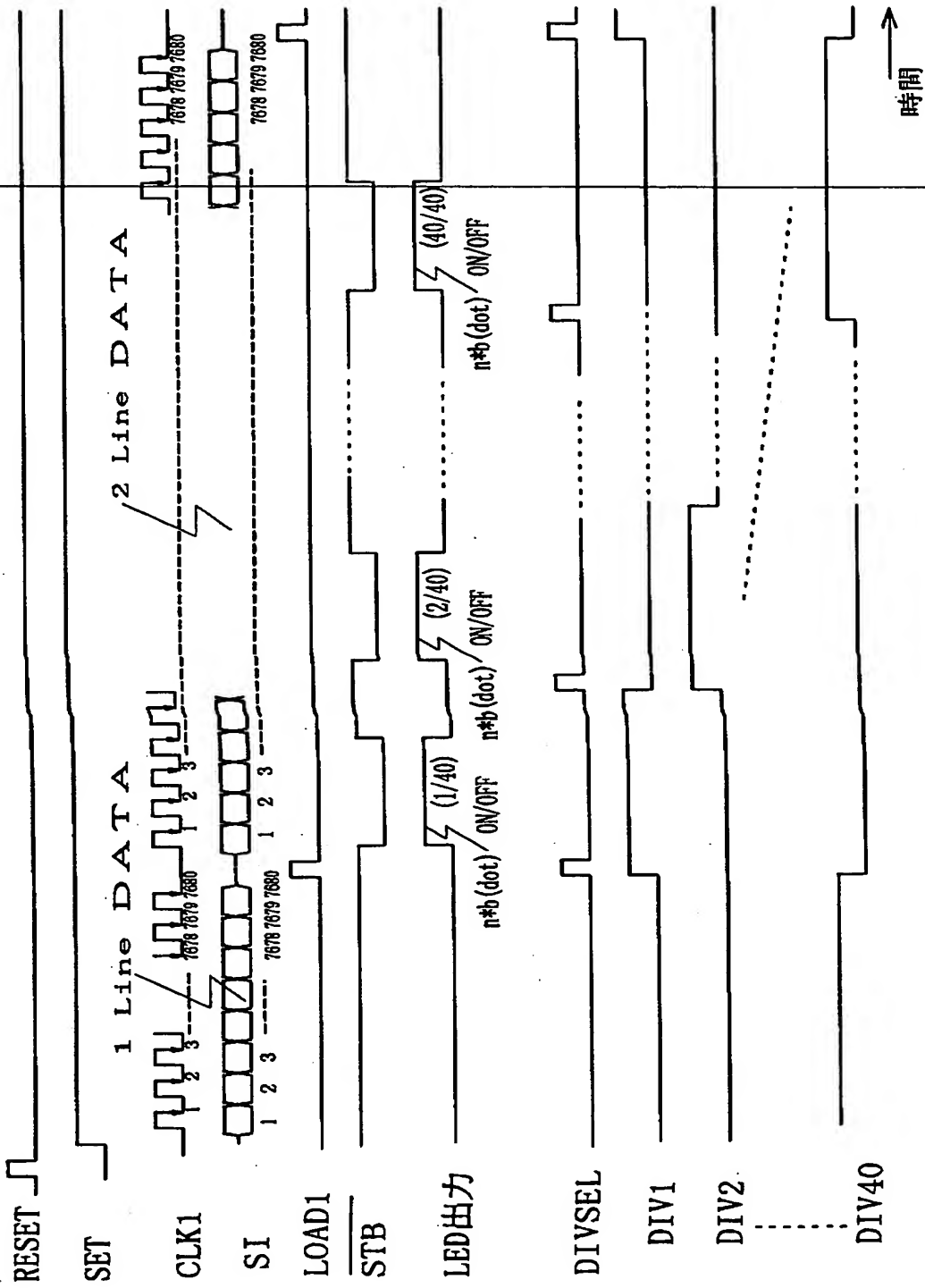
【図 1】



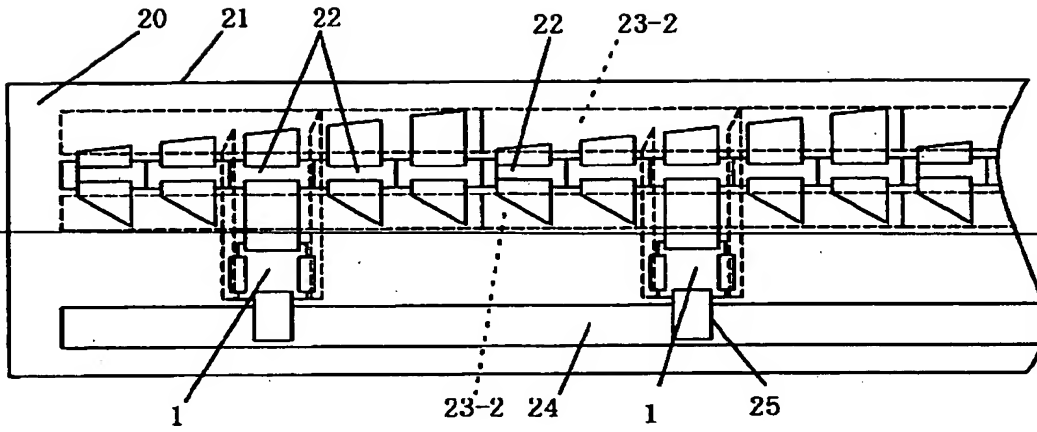
【図 2】



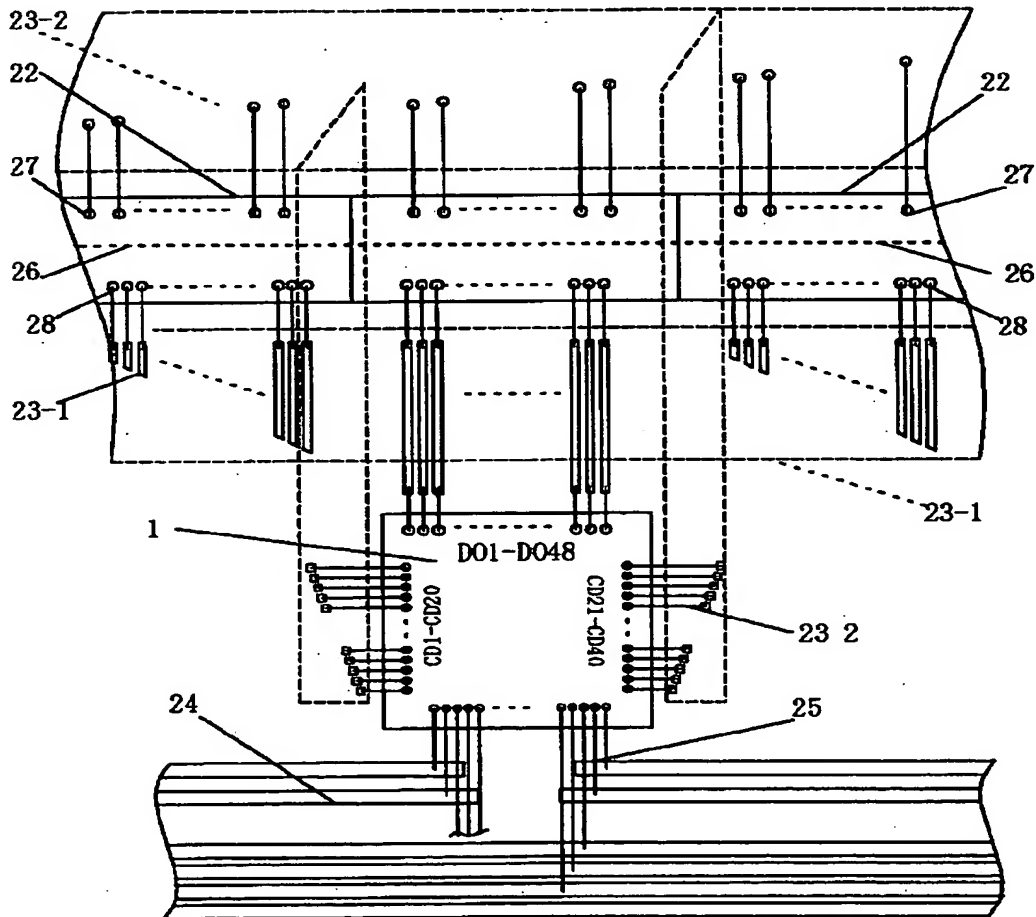
【図 3】



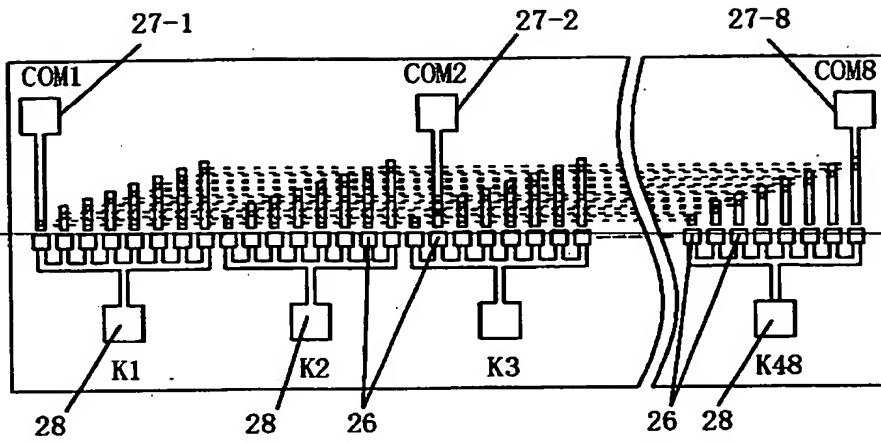
【図 4】



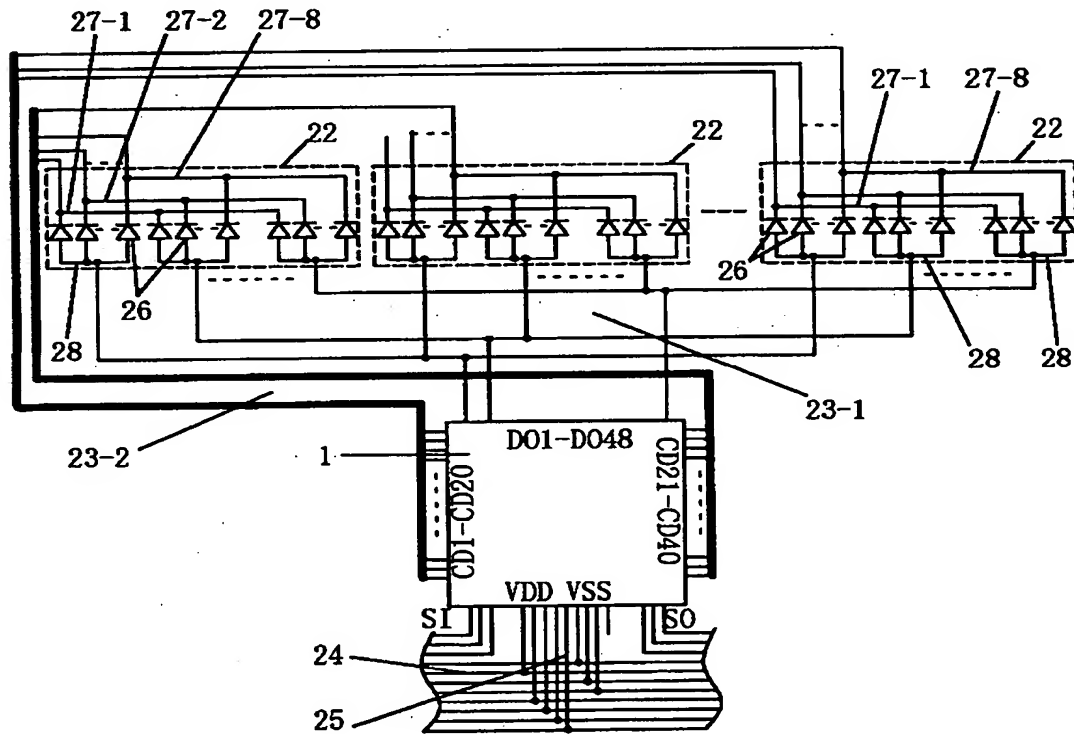
【図 5】



【図 6】



【図 7】



【書類名】

要約書

【要約】

【目的】 時分割駆動型の発光素子とそれを駆動する汎用性のある駆動用 IC を備える光プリントヘッドを提供すること。

【構成】 n 個の個別電極 2 8 と p 個の共通電極 2 7 とこれらによって選択的される複数 ($n \times p$) の発光部 2 6 とを備える発光素子 2 2 と、個別電極並びに共通電極に接続される n 個の素子駆動用出力端子 D 0 1 ~ D 0 4 8 並びに m 個の群選択用端子 C D 1 ~ C D 4 0 を備えた駆動用の IC 1 とを備え、前記発光素子 2 2 は、1 つの前記駆動用 IC に対して複数 (q) 設けられ、その数 (q) は、発光素子 2 2 の共通電極 2 7 の数 (p) と前記駆動用 IC 1 の群選択用端子 C D の数 (m) で定められることを特徴とする。

【選択図】

図 5

出 願 人 履 歴 情 報

識別番号

[000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社

出 願 人 履 歴 情 報

識別番号

[000214892]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	鳥取県鳥取市南吉方3丁目201番地
氏 名	鳥取三洋電機株式会社